

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-087879

(43)Date of publication of application : 02.04.1996

(51)Int.Cl.

G11C 11/401

(21)Application number : 06-219318

(71)Applicant : HITACHI LTD  
HITACHI DEVICE ENG CO  
LTD

(22)Date of filing : 14.09.1994

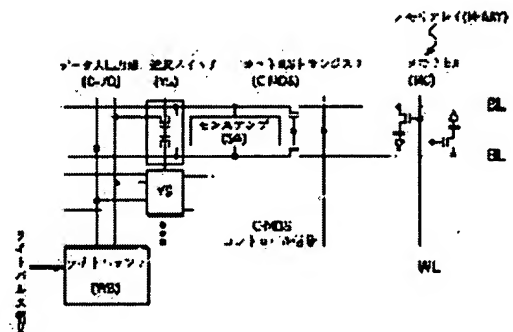
(72)Inventor : NAKAGAWA HIROSHI  
OMORI HIDEO

## (54) SEMICONDUCTOR MEMORY

### (57)Abstract:

PURPOSE: To obtain a high speed semiconductor memory by providing a MOS transistor between a memory array on a bit line and a sense amplifier and disconnecting the bit line at the time of block write thereby reducing the load on a write buffer and the sense amplifier.

CONSTITUTION: The semiconductor device is an SDRAM for storing image data and the memory array M-ARY comprises a plurality of memory cells MC arranged at the intersections of word lines WL and bit lines BL. A write buffer WB controls writing of the M-ARY, a plurality of select switches YS select the data I/O line C-I/O and the bit line BL and a plurality of sense amplifiers SA amplify the amount of signal. A plurality of cut MOS transistors C-MOS connected between the M-ARY and the SA are turned OFF to separate the BL from the SA at the time of block write and selects only the SA to be connected with the WB. When the data for the SA is determined, the C-MOS is turned ON to connect the SA with the M-ARY thus writing data from the SA into the M-ARY.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision]

of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

F-023800137

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-87879

(43)公開日 平成8年(1996)4月2日

(51)Int.Cl.<sup>6</sup>

G 1 1 C 11/401

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/ 34

3 7 1 E

審査請求 未請求 請求項の数3 O L (全 7 頁)

(21)出願番号 特願平6-219318

(22)出願日 平成6年(1994)9月14日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 中川 宏

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72)発明者 大森 秀雄

千葉県茂原市早野3681番地 日立デバイス

エンジニアリング株式会社内

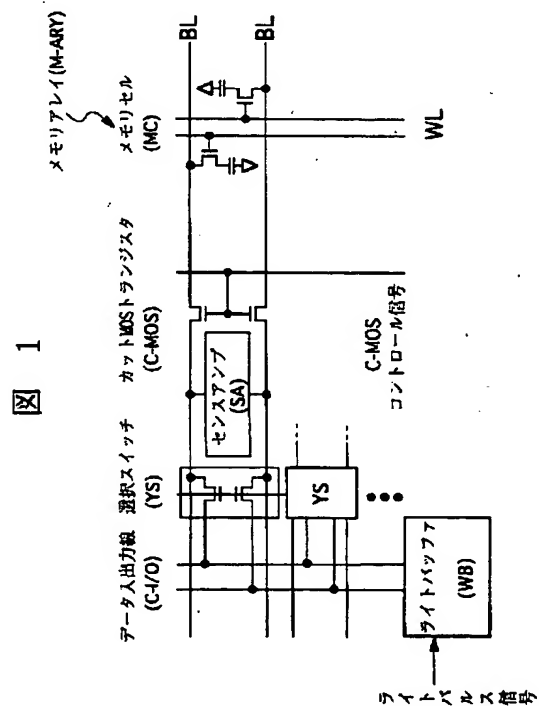
(74)代理人 弁理士 筒井 大和

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 特にブロックライト機能を有する画像データ記憶用の半導体記憶装置において、ブロックライト時にビット線を切り離し、ライトバッファ、センスアンプの負荷を低減して高速化を図ることができる半導体記憶装置を提供する。

【構成】 画像データ記憶用のSDRAMであって、主にワード線WLおよびビット線BLの交点に配列される複数のメモリセルMCからなるメモリアレイM-ARYと、このメモリアレイM-ARYの書き込みを制御するライトバッファWBと、データ入出力線C-I/O、ビット線BLを選択する複数の選択スイッチYSと、信号量を増幅する複数のセンスアンプSAと、ビット線BLを切り離す複数のカットMOSTランジスタC-MOSなどから構成され、このカットMOSTランジスタC-MOSは、ブロックライト時にビット線BLを切り離すためにメモリアレイM-ARYとセンスアンプSAとの間に接続されている。



## 【特許請求の範囲】

【請求項1】 ライトバッファのデータ入出力線が切り換えられ、該ライトバッファが複数のビット線に対応する選択スイッチおよびセンスアンプを介してメモリアレイに接続され、所定数のビットを同時に書き込むブロックライト機能を有する半導体記憶装置であって、前記ビット線の前記メモリアレイと前記センスアンプとの間に、データの書き込み時に前記ビット線を切り離すMOSトランジスタが接続され、前記メモリアレイへのブロックライト時に、前記MOSトランジスタをOFFにして前記ビット線と前記センスアンプとを切り離して、該センスアンプのみを前記選択スイッチを介してライトバッファに接続し、該センスアンプにデータが確定した後前記MOSトランジスタをONにすることを特徴とする半導体記憶装置。

【請求項2】 前記MOSトランジスタをON/OFFするためのコントロール信号を、前記ライトバッファを制御するライトパルス信号から生成することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記半導体記憶装置を画像データ記憶用のSDRAMまたはVRAMとすることを特徴とする請求項1または2記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体記憶装置に関し、特にブロックライト機能を有する画像データ記憶用のSDRAM (Synchronous DRAM) またはVRAM (Video RAM) において、ブロックライト時にビット線の切り離しによる高速化が可能とされる半導体記憶装置に適用して有効な技術に関する。

## 【0002】

【従来の技術】たとえば、ブロックライト機能を有するSDRAMにおいては、多数ビットを同時に書き込むために、図6に示すように少なくともライトバッファWB、選択スイッチYS、センスアンプSAおよびメモリアレイM-ARYなどから構成され、ライトバッファWBのデータ入出力線C-I/Oが切り換えられ、このライトバッファWBが複数のビット線BLに対応する選択スイッチYSおよびセンスアンプSAを介してメモリアレイM-ARYに接続されている。

【0003】そして、多数ビットを同時に書き込むブロックライト時には、図7に示すように、ライトパルス信号のONに同期させて複数の選択スイッチYSを開き、複数のビット線BLを選択してセンスアンプSAにデータを書き込み、データが確定した後にライトパルス信号のOFFに同期させて複数の選択スイッチYSを閉じて、センスアンプSAからメモリアレイM-ARYにデータを書き込むことができる。

【0004】なお、このような半導体記憶装置に関する技術としては、たとえば社団法人電子通信学会編、昭和

59年11月30日発行の「LSIハンドブック」P485～P533などに記載されている。

## 【0005】

【発明が解決しようとする課題】ところが、前記のような半導体記憶装置において、ブロックライト時には同時に多数ビットを書き込むが、この際に複数の選択スイッチを開くことになるために、ライトバッファに複数のビット線が接続され、ライトバッファの負荷が大きくなって書き込みが遅れるという問題が生じる。

【0006】そこで、本発明の目的は、特にブロックライト機能を有する画像データ記憶用の半導体記憶装置において、ブロックライト時にビット線を切り離し、ライトバッファ、センスアンプの負荷を低減して高速化を図ることができる半導体記憶装置を提供することにある。

【0007】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0008】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0009】すなわち、本発明の半導体記憶装置は、所定数のビットを同時に書き込むブロックライト機能を有する半導体記憶装置に適用されるものであり、ビット線のメモリアレイとセンスアンプとの間に、データの書き込み時にビット線を切り離すMOSトランジスタを接続するものである。

【0010】この場合に、MOSトランジスタのコントロール信号を、ライトバッファを制御するライトパルス信号から生成し、特にこの半導体記憶装置を画像データ記憶用のSDRAMまたはVRAMに適用するようにしたものである。

## 【0011】

【作用】前記した半導体記憶装置によれば、ビット線上において、ビット線遮断用のMOSトランジスタがメモリアレイとセンスアンプとの間に接続されることにより、メモリアレイへのブロックライト時に、MOSトランジスタをOFFにしてビット線とセンスアンプとを切り離して、センスアンプのみを選択スイッチを介してライトバッファに接続することができる。

【0012】そして、センスアンプにデータが確定した後に、MOSトランジスタをONにしてセンスアンプとメモリアレイとを接続し、センスアンプからメモリアレイにデータを書き込むことができる。

【0013】これにより、ブロックライト時にビット線を切り離すことができるので、従来のようにライトバッファに複数のビット線が接続されることなく、ライトバッファ、センスアンプの負荷を低減して所定数のビットを同時に書き込む場合の高速化を図ることができる。

【0014】この場合に、ビット線遮断用のMOSトラ

ンジスタのコントロール信号は、ライトバッファを制御するライトパルス信号から生成されるので、半導体記憶装置の内部において容易に信号生成を可能とすることができる。

【0015】特に、データ数が多い画像データ記憶用のSDRAMまたはVRAMに適用した場合には、多くのデータ数に対応したブロックライトの高速化によって、より一層書き込み時の高速化が実現できる。

【0016】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0017】図1は本発明の一実施例である半導体記憶装置の要部を示す機能ブロック図、図2は本実施例の半導体記憶装置の一例としてのSDRAMを示す全体ブロック図、図3は本実施例の半導体記憶装置を用いた一例としてのコンピュータシステムを示すブロック図、図4は本実施例の半導体記憶装置の要部における波形図、図5は本実施例のMOSTランジスタのコントロール信号を生成する場合の一例を示す論理回路図である。

【0018】まず、図1により本実施例の半導体記憶装置の要部構成を説明する。

【0019】本実施例の半導体記憶装置は、たとえばブロックライト機能を有するSDRAMとされ、このブロックライト機能として、主にワード線WLおよびビット線BLの交点に配列される複数のメモリセルMCからなるメモリアレイM-ARYと、このメモリアレイM-ARYの書き込みを制御するライトバッファWBと、データ入出力線C-I/Oと、ビット線BLを選択する複数の選択スイッチYSと、信号量を増幅する複数のセンスアンプSAと、ビット線BLを切り離す複数のカットMOSTランジスタC-MOSなどから構成されている。

【0020】この半導体記憶装置においては、ライトバッファWBのデータ入出力線C-I/Oが切り換えられ、このライトバッファWBが複数のビット線BLに対応する複数の選択スイッチYSおよび複数のセンスアンプSAを介してメモリアレイM-ARYに接続され、さらにビット線BLのメモリアレイM-ARYとセンスアンプSAとの間に、ブロックライト時にビット線BLを切り離すカットMOSTランジスタC-MOSが接続されている。

【0021】以上のような半導体記憶装置は、たとえば図2に示すような2Bankの16MビットSDRAMとして、Bank0, 1に対応するメモリアレイM-ARY、ロウデコーダR-DCR、カラムデコーダC-DCRおよびセンスアンプSAの他に、ロウアドレスバッファR-AB、リフレッシュカウンタRC、カラムアドレスバッファC-AB、カラムアドレスカウンタC-AC、入力バッファIB、出力バッファOB、制御回路/タイミング発生回路CONT/TGなどから構成されている。

【0022】このSDRAMの基本動作は、DRAMと同じ記憶制御方式であり、リードやライト動作を行うためにプリチャージやリフレッシュが必要となる。これらの動作は、DRAMがクロックタイミングを制御して行っているのに対して、SDRAMはコマンド信号を使って制御している点が特徴であり、このコマンド信号は、DRAMに準じて/Cs、/RAS、/CAS、/WEなどの制御信号の組み合わせで決定される。なお、入力信号、AddressおよびDataは基本クロック信号CLKに同期して入出力される。

【0023】また、このSDRAMは、たとえば図3に示すようなコンピュータシステムに適用され、バス、中央処理装置CPU、周辺装置制御部、主記憶装置としてのSDRAMおよびその制御部、バックアップ記憶装置としてのSRAMおよびバックアップパリティとその制御部、プログラムが格納されたROM、表示系などによって構成されている。

【0024】なお、周辺装置制御部は外部記憶装置およびキーボードKBなどに接続され、また主記憶装置および表示系は本実施例のSDRAMなどによって構成され、出力装置としてのディスプレイと接続されることによって記憶情報が表示され、さらにコンピュータシステムの内部回路に電源を供給するための電源供給部が設けられ、また中央処理装置CPUが形成する各記憶装置を制御するための信号によって各記憶装置の動作タイミングが制御されるようになっている。

【0025】このように、本実施例のSDRAMは、主記憶装置、表示用記憶装置、さらにキャッシュ記憶装置などに使われ、特にデータ数が多い画像データ記憶用の表示用記憶装置などに良好に適用されるものである。

【0026】次に、本実施例の作用について、始めにSDRAMの基本動作を説明する。

【0027】この基本動作は、/Cs、/RAS、/CAS、/WEなどの制御信号の組み合わせで定義される4つのコマンド信号を使って行われ、以下に順にバンクアクティブ信号、リード信号、ライト信号、バンクプリチャージ信号による動作を説明する。

【0028】まず、コマンド信号を取り込み、このコマンド信号を解釈してその後の動作を開始し、また必要な制御、ここではバンクアクティブ動作を行うものとする。

【0029】(1). バンクアクティブ動作

このバンクアクティブ動作においては、ロウアドレス信号およびバンクアドレス信号を取り込み、これらの信号によって活性化されるバンクとロウアドレス信号に対応したワード線WLを選択する。

【0030】この選択されたワード線WLに接続される全てのメモリセルMCの情報はセンスアンプSAにより増幅され、かつラッチされる。この状態になって始めて、メモリアレイM-ARYに対してリード/ライト動

作が可能となる。

【0031】(2). リード動作／(3). ライト動作

このリード／ライト動作においては、リードまたはライトのコマンド信号を受け、同時にカラムアドレス信号を取り込んで必要な動作を行う。このリード／ライト動作では、バーストレンクスとレイテンシーの2つの概念がある。

【0032】たとえば、バーストレンクスとは、リード／ライトコマンド信号によって、その後の動作を繰り返す回数を示し、一方レイテンシーとは、リード時においてコマンド信号から何サイクル目に正しいデータが出てくるかを示す。

【0033】ライト時は、I/Oは入力状態になり、ライトコマンド信号と同じタイミングから入力データ信号を取り込む。一方、リード時は、I/Oは出力状態になり、たとえばレイテンシーを“1”に設定した場合、次のサイクルから正しいデータが出てくる。

【0034】また、バーストレンクスが“2”である場合、2番目のデータを出すために次のサイクルにはNOPサイクルが入り、このNOPサイクルは、コマンド信号として特に意味はなく、リード／ライトなどの動作を継続するためにのみ用いる。

【0035】(4). バンクプリチャージ動作

このバンクプリチャージ動作においては、前と別のバンクからのデータや別のワード線WLのデータをアクセスしたい場合、新たにバンクアクティブコマンド信号を入れる前に、このバンクプリチャージコマンド信号が必要となる。

【0036】以上のようにして、SDRAMの基本動作は、(1). バンクアクティブ信号、(2). リード信号、(3). ライト信号、(4). バンクプリチャージ信号の4つのコマンド信号を使って行われる。

【0037】次に、実際にブロックライトを行う場合の動作を図4に基づいて説明する。

【0038】始めに、カットMOSTランジスタC-MOSのコントロール信号は、たとえばSDRAM内の制御回路／タイミング発生回路CONT/TGにおいて、入力される制御信号から生成されるライトバッファWBのライトパルス信号に基づいて生成されるようになっている。

【0039】たとえば、図5に示すようなディレイとNORゲートの組み合わせによる論理回路において、ライトバッファWBのライトパルス信号、すなわちライトバッファイネーブル信号を入力とし、この論理回路を通じてライトバッファイネーブル信号を遅延および反転した、図4に示すようなカットMOSTランジスタC-MOSのコントロール信号を生成することができる。

【0040】まず、ワード線WLを選択し、メモリアレイM-ARYのデータが複数のビット線BLに出力される。このデータを複数のセンスアンプSAにより増幅す

る。そして、ライトコマンド信号が入力され、複数のカットMOSTランジスタC-MOSのコントロール信号をOFFにし、同時書き込み対象の複数のビット線BLを切り離す。

【0041】これにより、複数のビット線BLとこれに対応する複数のセンスアンプSAとを切り離して、複数のセンスアンプSAのみを選択スイッチYSを介してライトバッファWBに接続することができる。

【0042】さらに、ライトパルス信号をONにし、これに同期させて複数の選択スイッチYSを開いて複数のビット線BLを選択する。そして、データ入出力線C-I/Oを反転して複数のセンスアンプSAにライトバッファWBがデータを書き込む。

【0043】続いて、複数のセンスアンプSAが反転してデータが確定した後に、ライトパルス信号をOFFにし、これに同期させて複数の選択スイッチYSを閉じる。さらに、これに同期させて複数のカットMOSTランジスタC-MOSをONにし、複数のビット線BLを接続する。

【0044】そして、複数のビット線BLを通じて、メモリアレイM-ARYの複数のメモリセルMCにデータを書き込むことにより、同時書き込み対象の複数のビット線BLによるメモリアレイM-ARYの対応するメモリセルMCの多数ビットを同時に書き込むことができる。

【0045】従って、本実施例の半導体記憶装置によれば、ビット線BLのメモリアレイM-ARYとセンスアンプSAとの間にカットMOSTランジスタC-MOSが接続されていることにより、メモリアレイM-ARYへのブロックライト時に、カットMOSTランジスタC-MOSをOFFにして書き込み対象のビット線BLとセンスアンプSAとを切り離し、センスアンプSAのみを選択スイッチYSを介してライトバッファWBに接続することができるので、ライトバッファWB、センスアンプSAの負荷を低減して、センスアンプSAの反転を高速にしてライトパルス信号を短くでき、特にデータ数の多いSDRAMなどに良好に適用して、多数のビットを同時に書き込む場合の高速化を図ることができる。

【0046】また、カットMOSTランジスタC-MOSのコントロール信号をライトパルス信号から生成することができるので、SDRAMの内部において容易に生成することが可能となる。

【0047】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0048】たとえば、本実施例の半導体記憶装置については、ブロックライト機能を有するSDRAMである場合について説明したが、本発明は前記実施例に限定されるものではなく、VRAMなどの画像データ記憶用の

半導体記憶装置、さらにDRAMまたはSRAMなどのブロックライト機能を有する他の半導体記憶装置についても広く適用可能である。

【0049】さらに、VRAMに適用した場合には、図3のコンピュータシステムの表示系をVRAMにより構成することによっても、SDRAMと同様の効果を得ることができ、また主記憶装置をDRAMにより構成することも可能である。

【0050】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0051】(1). ビット線のメモリアレイとセンスアンプとの間に、データの書き込み時にビット線を切り離すカットMOSトランジスタが接続されることにより、メモリアレイへのブロックライト時に、カットMOSトランジスタをOFFにしてビット線とセンスアンプとを切り離して、センスアンプのみを選択スイッチを介してライトバッファに接続することができるので、ライトバッファ、センスアンプの負荷を低減して所定数のビットを同時に書き込むブロックライト時における高速化が可能となる。

【0052】(2). 前記(1)において、カットMOSトランジスタをON/OFFするためのコントロール信号を、ライトバッファを制御するライトパルス信号から生成することができるので、半導体記憶装置の内部において容易に信号生成が可能となる。

【0053】(3). 前記(1)において、半導体記憶装置を画像データ記憶用のSDRAMまたはVRAMとする場合には、多くの画像データのデータ数に対応したブロックライトを高速に行うことができるので、より一層書き込み時の高速性を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体記憶装置の要部を示す機能ブロック図である。

【図2】本実施例の半導体記憶装置の一例としてのSD

RAMを示す全体ブロック図である。

【図3】本実施例の半導体記憶装置を用いた一例としてのコンピュータシステムを示すブロック図である。

【図4】本実施例の半導体記憶装置の要部における波形図である。

【図5】本実施例において、MOSトランジスタのコントロール信号を生成する場合の一例を示す論理回路図である。

【図6】従来技術の一例である半導体記憶装置の要部を示す機能ブロック図である。

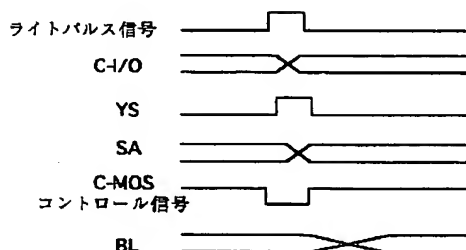
【図7】従来技術の一例である半導体記憶装置の要部における波形図である。

【符号の説明】

BL ビット線  
C-AB カラムアドレスバッファ  
C-AC カラムアドレスカウンタ  
C-DCR カラムデコーダ  
C-I/O データ入出力線  
C-MOS カットMOSトランジスタ  
CLK 基本クロック信号  
CONT/TG 制御回路/タイミング発生回路  
CPU 中央処理装置  
IB 入力バッファ  
KB キーボード  
M-ARY メモリアレイ  
MC メモリセル  
OB 出力バッファ  
R-AB ロウアドレスバッファ  
R-DCR ロウデコーダ  
RC リフレッシュカウンタ  
SA センスアンプ  
WB ライトバッファ  
WL ワード線  
YS 選択スイッチ  
/CS、/RAS、/CAS、/WE 制御信号

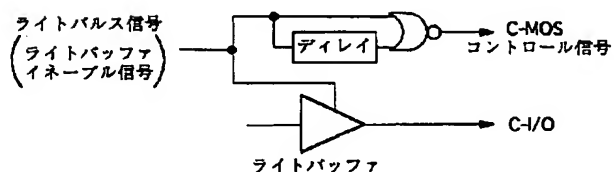
【図4】

図 4

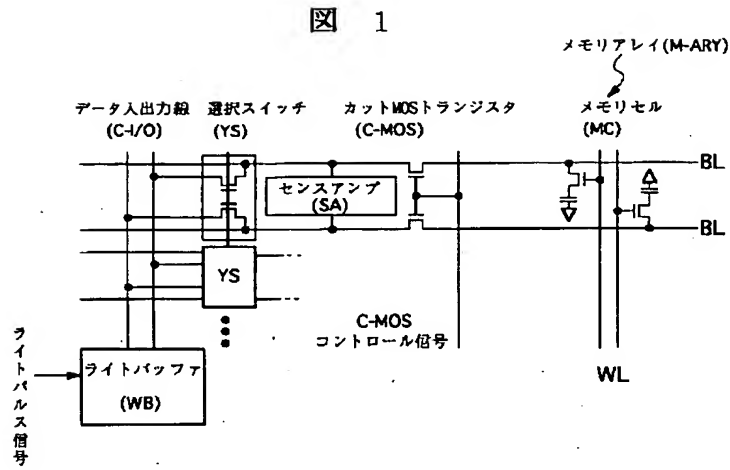


【図5】

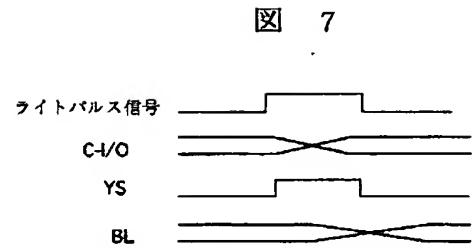
図 5



【図1】



【図7】



【図2】

